

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175445

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 05-320074

(71)Applicant : HITACHI LTD
HITACHI GAZO JOHO SYST:KK

(22)Date of filing : 20.12.1993

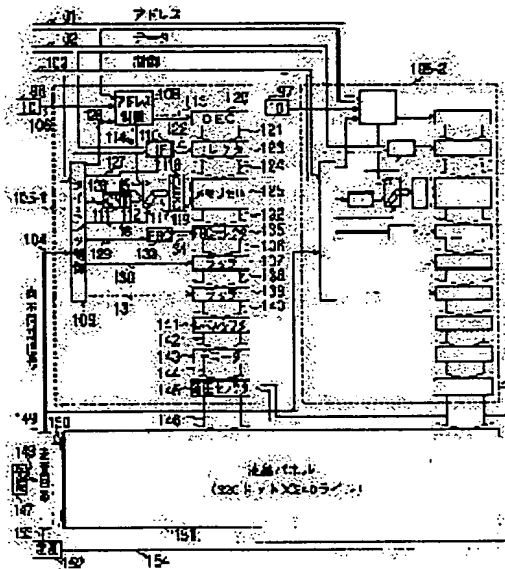
(72)Inventor : NITTA HIROYUKI
FURUHASHI TSUTOMU
IKEDA MAKIKO
INUZUKA TATSUHIRO
TSUNEKAWA SATORU

(54) LIQUID CRYSTAL DRIVER BUILT-IN MEMORY AND LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To enhance the reduction in power consumption and to attain the high speed of plotting without deteriorating the operational efficiency of a system by incorporating a display memory capable of accessing by a general purpose memory interface in a liquid crystal driver generating liquid crystal applying voltage corresponding to display data.

CONSTITUTION: The liquid crystal driver 105 generating the liquid crystal applying voltage for a liquid crystal panel 151 is incorporated with a memory cell 125, and an address bus 101, a data bus 102 and a control signal bus 103 are provided at an interface with the system so that the data of an arbitrary position is easily updated through the general purpose memory interface and display data stored in the memory cell 125 are converted into the liquid crystal applying voltage and outputting it to the liquid crystal panel 151 to be displayed at the timing of a display synchronizing signal 104.



LEGAL STATUS

THIS PAGE BLANK (USPTO)

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175445

(43) 公開日 平成7年(1996)7月14日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/38				
G 0 2 F 1/133	5 0 5			

書文請求 未請求 請求項の数18 O L (全 25 頁)

(21) 出願番号 特願平5-320074

(22) 出願日 平成5年(1993)12月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000293198

株式会社日立画像情報システム

神奈川県横浜市中区吉田町292番地

(72) 発明者 新田 博幸

神奈川県横浜市中区吉田町292番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 古橋 勉

神奈川県横浜市中区吉田町292番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 實田 和子

最終頁に続く

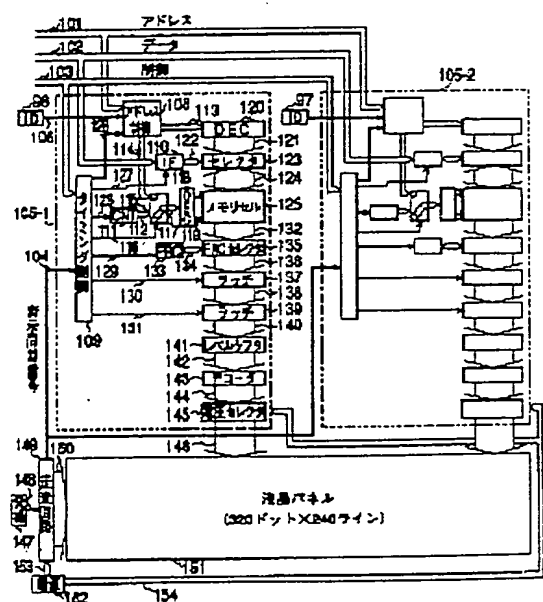
(54) 【発明の名称】 メモリ内蔵液晶ドライバと液晶ディスプレイ

(57) 【要約】

【目的】表示データに対応した液晶印加電圧を生成する液晶ドライバにおいて、汎用メモリアンタフェースによりアクセス可能な表示メモリを内蔵することで、システムの動作効率を低下させることなく、低消費電力化、描画の高速化を図る。

【構成】液晶パネル151に液晶印加電圧を生成する液晶ドライバ105にメモリセル125を内蔵し、システムとのインタフェースに、アドレスバス101、データバス102、制御信号バス103を設け、汎用メモリアンタフェースを介して任意位置のデータを容易に更新できるようにするとともに、表示同期信号104のタイミングで、メモリセル125に記憶している表示データを液晶印加電圧に変換して、液晶パネル151に出力して表示を行う。

本発明の液晶ドライバを用いた液晶ディスプレイの構成図 (図1)



【特許請求の範囲】

【請求項1】複数のデータ線および複数の走査線の交点位置にマトリクス状に配置された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバとを具備する液晶ディスプレイにおいて、前記走査回路は、表示のフレーム周期を表すフレーム表示同期信号と、表示のライン周期を表すライン表示同期信号を生成する回路を有し、

前記液晶ドライバは、汎用のメモリインタフェースを介してアクセスされ、前記マトリクス状に配置された画素部に対応する表示データを格納する表示メモリと、

該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、

前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読みだす読出し手段と、

該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、

前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを有することを特徴とする液晶ディスプレイ。

【請求項2】前記液晶ドライバは、アドレスバスとデータバスと制御信号バスとに接続され、上記アドレスバスからマルチプレクス転送される、X座標値を示すアドレスとY座標値を示すアドレスとをラッチする手段を有し、該二つのアドレスを上記アドレス変換回路により変換したアドレスにより上記表示メモリのアクセスを行なうことを特徴とする請求項1記載の液晶ディスプレイ。

【請求項3】前記液晶ドライバは、アドレスバスとデータバスと制御信号バスとに接続され、上記アドレスバスから同時に転送される、X座標値を示すアドレスとY座標値を示すアドレスとをラッチする手段を有し、該二つのアドレスを上記アドレス変換回路により変換したアドレスにより上記表示メモリのアクセスを行なうことを特徴とする請求項1記載の液晶ディスプレイ。

【請求項4】前記液晶ドライバ内の前記保持回路を2段有し、前記タイミング制御回路は前記2段の保持回路を異なるタイミングで保持動作を行うよう制御することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項5】前記タイミング制御回路は、前記表示動作

と前記読出し書き込み動作との競合を検出した場合、前記2段の保持回路のうち、後段の保持回路の保持動作は通常通り実行し、前段の保持回路の保持動作は前記書き込み動作が終了するまで遅延させることを特徴とする請求項4記載の液晶ディスプレイ。

【請求項6】前記2段の保持回路のうち、前段の保持回路はレベルラッチ回路であり、後段の保持回路はエッジラッチ回路であることを特徴とする請求項1または5記載の液晶ディスプレイ。

【請求項7】それぞれ前記液晶パネルの画面サイズの一部に対応する複数の同一構成の液晶ドライバ素子を組み合わせる前記液晶ドライバを構成し、

前記各液晶ドライバ素子は、自己の配置位置を示す液晶ドライバIDを外部から受け、該液晶ドライバIDに基づいて、上記上位装置から与えられるアドレスが自己にアクセスするアドレスか否かを判定することにより、当該液晶ドライバ素子内の表示メモリの選択信号を生成する選択手段を有し、

各液晶ドライバ素子内の前記アドレス変換回路は、前記外部から与えられた自己の液晶ドライバIDに基づいて、上記上位装置から与えられるアドレスを自己の上記表示メモリのアドレスに変換する機能を有し、

各液晶ドライバ素子は、前記選択信号が有効なときに、自己の表示メモリを上記変換されたアドレスでアクセスすることを特徴とする請求項1、2、3、4または5記載の液晶ディスプレイ。

【請求項8】前記液晶パネルの画面全体に対応する複数の液晶ドライバ素子の組み合わせ配置における配置位置に応じて予め定めた液晶ドライバIDを発生する複数の液晶ドライバID発生手段を有することを特徴とする請求項7記載の液晶ディスプレイ。

【請求項9】前記上位装置からのアドレスは上記複数の液晶ドライバ素子の各々に対して異なるアドレスであり、上記変換後のアドレスは上記各々に対して同一のアドレスであることを特徴とする請求項7または8記載の液晶ディスプレイ。

【請求項10】前記液晶ドライバ内の表示メモリは1画素複数ビットの表示データを格納し、上記表示メモリから読みだした1画素複数ビットの値の特定の組み合わせに対して、複数フレーム毎に異なる液晶印加電圧に対応する異なるデータ出力する手段を有することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項11】前記液晶ドライバ内の表示メモリは1画素複数ビットの表示データを格納し、上記表示メモリから読みだした1画素複数ビットの値の特定の組み合わせに対して、液晶印加電圧の出力時間幅を変化させる手段を有することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項12】前記液晶ドライバ内の表示メモリはスタティックRAMであることを特徴とする請求項1～11

記載のいずれかに記載の液晶ディスプレイ。

【請求項13】前記X座標値を示すアドレスとY座標値を示すアドレスとにより指定される前記表示メモリ記憶位置に、表示画面上で水平方向に連続する複数画素分の表示データを格納することを特徴とする請求項2、3、10または11記載の液晶ディスプレイ。

【請求項14】前記液晶ドライバが前記表示パネルのX軸側に配置される場合、前記液晶ドライバの読出し手段は、前記ライン表示同期信号に同期して、前記表示メモリの順次の水平1ライン上の表示データを読みだすことを特徴とする請求項1または13記載の液晶ディスプレイ。

【請求項15】前記液晶ドライバが前記表示パネルのY軸側に配置される場合、前記液晶ドライバの読出し手段は、前記ライン表示同期信号に同期して、前記表示メモリの順次の垂直1ライン上の表示データを読みだし、さらに、該同時に読みだされる各記憶位置の前記複数画素のうちの順次異なる1画素のデータを選択する選択回路を有することを特徴とする請求項13記載の液晶ディスプレイ。

【請求項16】複数のデータ線および複数の走査線の交点位置にマトリクス状に配列された画素部を有する液晶パネルと共に使用され、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバにおいて、汎用のメモリインタフェースを介してアクセスされ、前記マトリクス状に配列された画素部に対応する表示データを読みだす表示メモリと、該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読みだす読出し手段と、該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを内蔵したことを特徴とするメモリ内蔵液晶ドライバ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、メモリを内蔵した液晶ドライバと、メモリ内蔵液晶ドライバを使用した液晶ディスプレイに関する。

【0002】

【従来の技術】従来の液晶ディスプレイは、例えば、日立LCDドライバデータブック（株式会社日立製作所半導体事業本部発行）のP274からP292に記載してある液晶ドライバHD66107を使用して構成されていた。図2から図5を用いて、このような従来の液晶ディスプレイについて説明する。

【0003】図2は従来の液晶ディスプレイの構成図である。

【0004】図2において、201は制御信号を転送する制御信号バスであり、202は表示データを転送するデータバスである。203-1および203-2はそれぞれ液晶ドライバである。この例では、液晶パネル219のX（水平）方向の幅に合わせて二つの液晶ドライバを用いている。液晶ドライバ203-1と203-2とを総称して液晶ドライバ203という（以下、他の参照番号についても同様とする）。204は液晶ドライバ203の動作を制御するタイミング制御回路、205はデータバス202で転送する表示データをラッチする信号を生成するシフトレジスタである。206はシフトレジスタ205から出力されるラッチクロックを転送する信号線、207は順次表示データを取り込むラッチ、208はラッチ207の出力するデータを転送するデータバス、209はデータバス208の転送するデータを同時に取り込むラッチ、210はラッチ209の出力するデータを転送するデータバスである。211はレベルシフタであり、データバス210で転送する表示データを、液晶印加電圧に対応した電圧レベルにシフトする。212はレベルシフトされたデータを転送するデータバス、213は電圧セクタである。214は電圧セクタ213でデータバス212を介して転送される表示データに従って選択された液晶印加電圧を転送する出力電圧線である。215はシフトレジスタ205を制御するCL2クロックであり、216はラッチ209にデータを取り込むCL1クロックである。217は走査回路であり、表示を行うラインを選択する。218は走査回路217で生成される走査信号を転送する走査信号線、219は液晶パネルである。220は電源回路、221、222は各々走査回路217と液晶ドライバ203を駆動する駆動電圧を転送する駆動電圧線である。

【0005】図3は、図2に記載した液晶ディスプレイを用いたパーソナルコンピュータのシステム構成図である。

【0006】図3において、301はCPU、302はメインメモリ、303はアドレスを転送するアドレスバス、304はデータを転送するデータバス、305は制御信号を転送する制御信号バスである。306は表示コントローラ、307は表示データを記憶する表示メモリである。308はタイミング制御回路、309はタイミング信号であり、表示メモリ307をアクセスするための

の信号と、液晶ドライバ208を動作させるための信号を含む。310は表示アドレスと描画アドレスを切り換える選択信号である。311はコントローラであり、信号バス312に転送するタイミング信号と、表示アドレスバス313に転送するアドレスを生成する。314は表示アドレスと描画アドレスを選択するセレクタ、315はセレクタ314で選択された表示メモリ307をアクセスするためのアドレスを転送するアドレスバス、316はデータバッファである。317は表示メモリ307をアクセスするためのデータを転送するデータバスであり、318は液晶ディスプレイ用の表示データを転送するデータバスである。

【0007】図4は、図3に示したシステムにおいて、表示メモリ307のアクセスを示すタイミングチャートである。

【0008】図5は、液晶ドライバ203の動作を示すタイミングチャートである。

【0009】再び図2を用いて従来の液晶ドライバを用いたときの液晶ディスプレイについて説明する。

【0010】信号バス201を介して転送される制御信号は、液晶ドライバ203のタイミング制御回路204に入力される。生成されたCL2クロック215は、シフトレジスタ205へ転送され、シフトレジスタ205はラッチクロックを生成し、信号線206に出力する。一方、データバス202を介してドライバ203に転送される表示データは、信号線206を介して転送されるラッチクロックによって、ラッチ207に順次ラッチされる。ラッチ207にラッチされた表示データは、データバス208を介して、ラッチ209に、CL1クロック216によって同時に記憶される。この動作を図5に示す。また、CL1クロック216によってラッチ209から出力された表示データは、データバス210を介してレベルシフト211に入力され、液晶印加電圧に対応した電圧レベルに変換される。レベルシフトされた表示データは、データバス212を介して電圧セレクタ213に転送され、液晶印加電圧を選択する。選択された液晶印加電圧は、出力電圧線214を介して液晶パネル219に供給される。

【0011】このように、従来の液晶ドライバは、表示データをラッチし、液晶印加電圧に変換して出力する機能しか持たない。この点に関し、従来の液晶ドライバ203で駆動する液晶ディスプレイを用いたシステムについて、図3を用いてさらに詳しく説明する。

【0012】本システムでは、一定周期で液晶ディスプレイに表示データを転送する必要がある。そこで、表示データを1画面分記憶する表示メモリ307が必要となり、表示メモリ307から表示データを読み出し、液晶ディスプレイに出力する手段と、表示メモリ307に記憶する表示データを更新する手段とが必要となる。表示メモリ307のアドレスバス315、データバス31

7、制御信号309は1系統しかないことから、表示メモリ307に対しては、図4に示すように、表示データを読み出し、液晶ディスプレイに出力するための表示アクセスと、表示データを更新する描画アクセスを時分割で行うことが必要となる。よって、本システムは、以下のように構成される。

【0013】アドレスバス315は、セレクタ314によって、表示アクセスのためのアドレスを転送するアドレスバス313と、描画アクセスのためのアドレスを転送するアドレスバス303とが切り換えられて、表示又は描画のアドレスが転送されている。この切り換え制御は、タイミング制御回路308で行う。タイミング制御回路308には、CPU301からの制御信号が制御信号バス305を介して入力されると共に、コントローラ311からの制御信号が制御信号バス312を介して入力される。この2つの制御信号によって、表示メモリ307に対して表示アクセスを行うのか、描画アクセスを行うのかを決定するアービトレーション制御がなされる。また、データバス317についても同様に、表示アクセスの場合、データバス317上のデータはバッファ316を介してデータバス318に転送され、描画アクセスの場合、データバス304のデータはバッファ316を介して、データバス317に転送される。

【0014】ところで、液晶ドライバの内部にメモリを内蔵したメモリ内蔵液晶ドライバが、日立LCDドライバデータブック（株式会社日立製作所半導体事業本部発行）のP293からP335に記載されている。

【0015】次に、このようなメモリ内蔵ドライバを用いた液晶ディスプレイシステムについて、図6の構成図を用いて説明する。

【0016】図6において、601は液晶ドライバ、602はデータバス、603は制御信号である。604はアドレスレジスタ、605はX座標値レジスタ、606はY座標値レジスタ、607はX座標値を出力するデータバス、608はY座標値を出力するデータバスである。609はX座標値デコーダ、610はY座標値デコーダ、611はX座標値デコード信号である。612は表示データの入出力を制御するI/Oポート、613は表示データを転送するデータバス、614はY座標値デコード信号である。615はメモリセル（スタティックRAM）、616は表示用のデータを転送するデータバスである。617はラッチ、618はラッチ617の出力する表示データを転送するデータバス、619はレベルシフト、620はレベルシフトされたデータを転送するデータバス、621は電圧セレクタ、622は液晶印加電圧を転送する出力電圧線である。623はタイミング制御回路である。

【0017】次に、液晶ドライバ601の動作について説明する。

【0018】液晶ドライバ601は、I/Oインターフ

ェイスとなっていることから、データバス602を介して、アドレスレジスタ604にアクセスするレジスタのアドレスを設定し、このアドレスレジスタ604に設定したアドレスのレジスタをデータバス602を介してアクセスする。従って、表示メモリの描画アクセスは次の通りとなる。まず、アドレスレジスタ604にX座標値レジスタ605のアドレスを設定し、次に、このアドレスに従い、データバス602を介して描画を行うX座標値データX座標値レジスタ605に設定する。次に、アドレスレジスタ604にY座標値レジスタ606のアドレスを設定し、このアドレスに従いデータバス602を介して、描画を行うY座標値データをY座標値レジスタ606に設定する。次に、I/Oポート612をアクセスすることで、メモリセル615内の任意の位置のデータが更新できる。メモリセル615に記憶されたデータは、タイミング制御回路623により、各液晶ドライバ601のデータ線分のデータを読み出し、ラッチ617に記憶した後、レベルシフタ619で電圧変換がなされ、電圧セレクタ621で液晶印加電圧を選択して出力する。このメモリセル615からの読み出し制御を1水平期間毎に行うことで、液晶パネル219に表示が行える。

【0019】このように、液晶ドライバ601の各レジスタのデータを設定することで、メモリセル615の任意の位置のデータ更新が可能となる。

【0020】

【発明が解決しようとする課題】第1の従来例によれば、液晶ドライバはシリアル化された表示データを常時取り込み、1水平ライン分の表示データの取り込みが終了すると、液晶印加電圧に変換し、液晶パネルに出力して表示を行っていた。そのために、液晶ドライバにシリアル化された表示データを転送する手段が必要となっていた。第1の従来例において、1フレーム分の表示データが表示メモリに記憶されていることから、液晶パネルの動作条件が、フレーム周波数70Hz、液晶パネルの解像度が、垂直ライン数240ライン、水平ドット数320ドットであり、液晶ドライバ及び、表示メモリのデータバス幅を8ビットバスとすると、

$$\text{約}0.7\text{MHz} \\ (=70(\text{Hz}) \times 240(\text{ライン}) \times 320(\text{ドット}) \div 8(\text{ビット}))$$

周期で8ビットデータを常時表示メモリから読み出さなければならなかった。

【0021】よって、表示コントローラ、表示メモリ、液晶ドライバは約0.7MHz同期で動作しなければならず、表示画面が静止画像であっても、この動作を毎フレーム繰り返すことになっていた。

【0022】液晶ディスプレイ及びシステムの低消費電力化を図るには、消費電力がこの動作周波数に比例して増加することから、システムの動作効率を低下させるこ

となく、この動作周波数を低減する必要があった。

【0023】また、第1の従来例において、表示メモリは表示アクセスと描画アクセスが時分割に行われていた。表示アクセスが優先することから、描画アクセスは表示アクセスの合間をぬって実行する必要があり、高速に描画処理を実行したい場合でも、アクセス処理速度が表示アクセスによって制約されていた。

【0024】更に、第2の従来例においては、表示メモリに対して表示アクセスを行なうとき、CPUに対して“Busy”が与えてウェイトをかける。実際には、アドレスレジスタ604に“Busy”ビットがあり、CPUがこれをリード（ビジーチェック）することにより、両アクセスの調停が行なわれる。これにより、表示メモリに対する表示アクセスと描画アクセスとが競合した場合、描画アクセスが低速となる。また、任意位置の表示データを更新する際に、前述のように4回のレジスタデータ設定に後に表示データの更新が可能となることから、描画アクセスに時間を要し、システムの動作効率を低下させる要因となった。

【0025】また、第2の従来例において、階調表示への考慮や、液晶ドライバを液晶パネルのY軸側に設ける場合の考慮がなされていなかった。

【0026】本発明の目的は、システムの動作効率を低下させることなく、液晶ドライバの動作周波数を低減し、低消費電力化を図ることにある。

【0027】本発明の他の目的は、多階調表示の実現、液晶パネルのY軸方向に設ける機能等の使い勝手を考慮した機能を液晶ドライバに設けることである。

【0028】

【課題を解決するための手段】本発明による液晶ディスプレイは、複数のデータ線および複数の走査線の交点位置にマトリクス状に配置された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバとを具備する液晶ディスプレイにおいて、前記走査回路は、表示のフレーム周期を表すフレーム表示同期信号と、表示のライン周期を表すライン表示同期信号を生成する回路を有し、前記液晶ドライバは、汎用のメモリーインタフェースを介してアクセスされ、前記マトリクス状に配置された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読みだす読み出し手段と、該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出

力する回路と、前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを有するものである。

【0029】

【作用】本発明の液晶ドライバは、表示メモリを内蔵するので、CPUバスを介した周期的な表示データの高速度転送が不要となり、動作周波数を低減できる（1水平期間に1回の表示アクセスで済む）ので、低消費電力化を図ることができる。かつ、本発明の液晶ドライバは、汎用メモリインタフェースを介してアクセスすることができるので、CPUからは液晶ドライバ自体を汎用メモリとしてアクセスすることができ、従来のI/Oインタフェースによるアクセスに比べて描画速度を向上させることができる。

【0030】また、システムが指定したアドレス（CPUアドレス）を内蔵表示メモリのアドレスに変換するアドレス変換回路の採用により、CPUアドレスを、液晶パネルの表示画面のX方向アドレスおよびY方向アドレスを結合したアドレスとすることができ、描画時のアドレス算出が容易となる。

【0031】このアドレス変換回路は、同一構成の液晶ドライバ素子を組み合わせるより大きいサイズの液晶ドライバを構成したときにも有効である。すなわち、外部から供給される自己の配置位置を示す液晶ドライバIDを受けて、その配置位置に応じて自己の内蔵表示メモリのアドレスに変換することができる。この構成により、これらの組み合わせられた複数の液晶ドライバ素子は、CPUからは、単一の液晶ドライバと等価に見える。

【0032】さらに、表示メモリの表示時の読出データを保持する2段の保持回路（ラッチ回路）の採用により、表示アクセスを阻害することなく、任意時点での描画アクセスを実行可能とすることができる。

【0033】液晶ドライバを液晶パネルのY軸側に配置する場合に、表示メモリから液晶パネルに出力される際に同時に読みだされる同一アドレス上の複数画面分のうち順次異なる1画面を選択する選択手段を液晶ドライバ内に設けることにより、CPUからの描画時にはX軸側に配置された場合と同様に表示パネルの水平方向に並ぶ複数画面を同時にアクセスすることが可能になる。

【0034】

【実施例】以下、本発明の実施例について詳細に説明する。

【0035】まず、本発明による液晶ドライバの第1の実施例を図1及び図7から図22を用いて説明する。

【0036】図1は、本液晶ドライバを使用した液晶ディスプレイの構成を示す。

【0037】図1において、101はアドレスを転送す

るアドレスバス、102は表示データを転送するデータバス、103は制御信号を転送する制御信号バス、104は走査回路149で生成した表示同期信号である。105-1と105-2とは、それぞれ集積回路化された液晶ドライバであり、その出力数は160出力とする。106、107はそれぞれ液晶ドライバ105-1、105-2の配置位置を示す3ビットのアドレスモード信号線である。アドレスモード信号線106は、ドライバID発生部96から本実施例では3ビットの固定データを受ける。また、アドレスモード信号線107は、ドライバID発生部97からやはり3ビットの固定データを受ける。ドライバID発生部96、97の発生するドライバIDは、後述するように、実装される液晶ドライバ（液晶ドライバ素子）にその配置位置を知らせるための固有のデータである。この固有の固定データ発生には、接地電位および電源電位の組み合わせによって容易に得ることができる。108はアドレスバス101から入力するアドレス値をアドレスモード信号線に従ってメモリ内部のアドレスに変換するアドレス制御回路である。109はシステムからの制御信号バス103、および表示同期信号104に基づいて、描画、表示動作を制御するタイミング制御回路、110はデータバス102との入出力制御を行うインタフェース回路（IF）、111は表示用のロウアドレスを生成する表示アドレスカウンタ（CNT）、112は表示アドレスバス、113、114はそれぞれアドレス制御回路108で生成したメモリセルのカラムアドレス、ロウアドレスである。115は表示用アドレスと描画用アドレスを制御信号116で選択するセレクタ、117はセレクタ115で選択したメモリロウアドレス、118はメモリセルのワード線を選択するロウアドレスデコーダ（DEC）、119はロウアドレスデコーダ118で生成した選択信号バス、120はメモリセルの信号線を選択する選択信号を生成するカラムアドレスデコーダ（DEC）、121はカラムアドレスデコーダ120で生成した選択信号バス、122は入出力双方のデータバス、123はデータバス122を選択信号バス121で選択するメモリセルの信号線と接続するセレクタ、124はセレクタ123を介した信号線バスである。125は、160出力、4階級に対応した160画面×240ライン×2ビット＝76800ビットの容量を持つメモリセルである。126、127、128、129、130、131はそれぞれタイミング制御回路109で生成する制御信号であり、126はアドレス変換用制御信号、127はデータの入出力制御用の制御信号、128は表示アドレスカウンタ用の制御信号、129はFRCパターン生成回路（FRC）133を制御する制御信号、130、131はそれぞれ表示用ラッチ信号である。FRC（Frame Rate Control）は、ある液晶画面に対して複数フレーム周期で異なる印加電圧を印加することにより当該液

晶画素の階調表示を実現する手法であり、本出願人により先に出願されている特願平3-253455号および特願平54-220436号等に詳細に記載されている。

【0038】132はメモリセル125からの160出力×2ビット=320本のデータバス、134はFRCデータバス、135はFRCデータバス134とデータバス132から出力データを選択するFRCセレクト、136は160ビットのデータバス、137はデータバス136のデータを160ビット同時にラッチ信号130のハイレベルでラッチする160ビットのラッチ回路、138はラッチ回路137の出力データのデータバス、139はデータバス138のデータを160ビット同時にラッチ信号131の立上りエッジでラッチする160ビットのラッチ回路、140はラッチ回路139の出力データのデータバス、141は液晶駆動電圧に対応した電圧レベルに信号電圧をシフトするレベルシフト、142はレベルシフトしたデータバス、143は交流化信号とデータをデコードするデコード、144はデコードされた選択信号バス、145は液晶印加電圧を選択する電圧セレクト、146は出力電圧線である。147は表示用の基準クロックを生成する発振器、148は表示用の基準クロック、149は240ラインを駆動する走査回路で、液晶ドライバ用の表示同期信号104を生成する。150は走査回路149で生成された走査信号バス、151は解像度320ドット×240ラインの液晶パネルである。152は電源回路、153は走査回路149を駆動する駆動電圧線、154は液晶ドライバ105に液晶駆動電圧を転送する電圧線である。

【0039】本実施例では、メモリセル125としてSRAMを用い、メモリインタフェースとして、汎用のDRAM（ダイナミックランダムアクセスメモリ）インタフェースを用いている。DRAMインタフェースは、ロウアドレスとカラムアドレスとをマルチプレクスして転送するので、アドレスバスの線数を低減することができ、後述する携帯型の情報機器に有効である。

【0040】次に、本発明の液晶ドライバの動作について、図1を用いて説明する。

【0041】まず始めに、描画動作について説明する。図1に示すように、アドレスバス101からのアドレスはアドレス制御回路108に入力され、制御信号バス102からタイミング制御回路109を介して入力されるRAS信号、CAS信号の立下がりによってラッチされる。ラッチされたアドレスはアドレス制御回路108でメモリセル125のカラムアドレス113、ロウアドレス114に変換される。カラムアドレス113はカラムアドレスデコード120に転送され、カラムアドレス113に対応した選択信号バス121を有効にする。ロウアドレス114はセレクト115に転送され、CPUアクセスの期間はロウアドレス114が選択されメモリロウアド

レス117に出力されるように、タイミング制御回路109からの制御信号116によりセレクト115が制御される。メモリロウアドレス117はロウアドレスデコード118に入力され、メモリロウアドレスに対応した選択信号バス119を有効にする。データバス102は入出力制御を行うインタフェース回路110に接続し、ライトサイクル、リードサイクルに対応してインタフェース回路110が入出力状態になるように、タイミング制御回路109で制御信号127が制御される。そして、ライトサイクルではデータバス102が入力状態（液晶ドライバ105からみて）となり、カラムアドレス113に対応したセレクト123が有効となりデータが書き込まれる。一方、ロウアドレス114に対応した選択信号バス119が有効となっているため、データバス102のデータはアドレスバス101に対応したメモリセル125に書き込まれる。また、リードサイクルではデータバス102が出力状態（液晶ドライバ105からみて）となり、カラムアドレス113に対応したセレクト123が有効となりデータが読み込まれる。一方、ロウアドレス114に対応した選択信号バス119が有効となっているため、データバス102にアドレスバス101に対応したメモリセル125のデータが出力される。

【0042】このようにすることで、CPU等のシステムからの本液晶ドライバへの描画アクセスが可能となる。

【0043】次に、表示動作について説明する。表示動作は、メモリセル125の表示データを1ライン（水平ライン）分、同時に読みだし、走査回路149の走査信号に同期して液晶パネル151を駆動し表示を行う。表示動作を行うためのフレーム周期を示すFLM信号とライン周期を示すCL1信号とは、走査回路149で生成され、表示同期信号104としてタイミング制御回路109に入力される。タイミング制御回路109で生成した表示用の制御信号128により表示アドレスカウンタ111はライン周期毎にカウントし表示アドレスを更新し、フレーム周期毎にカウント値をリセットする。これにより、一定の周期で表示アドレスを0から239まで順次生成することができる。表示アドレス112は制御信号116によりセレクト115で選択されロウアドレスデコード118に入力され、表示アドレス112に対応した選択信号バス119が有効になり、メモリセル125の1ラインのデータが読み込まれる。読み込まれた表示データはデータバス132を介してFRCセレクト135に入力される。FRCパターン生成回路133では制御信号129に従ってFRC表示パターンが生成され、FRCデータバス134を介してFRCセレクト135に入力される。FRCセレクト135では、データバス132の1出力あたり2ビットの表示データとFRCデータ134とから、FRC階調表示制御を行った1

出力あたり1ビットの表示データをデータバス136に出力する。ラッチ回路137ではレベルラッチ回路であり、表示用ラッチ信号130のローレベルで表示データ136をラッチし、ラッチ回路139はエッジラッチ回路でありデータバス138上のデータを表示用ラッチ信号131の立上りエッジでラッチする。表示用ラッチ信号130、131の位相関係からラッチ回路139には、表示アドレスカウンタの示すアドレスの1ライン前のデータがライン周期毎に順次ラッチされる。データバス140はレベルシフト141で液晶駆動電圧に電圧がシフトされ、データバス142に出力される。デコーダ143では交流化信号とデータバス142上のデータとをデコードして、そのデコード出力を選択信号バス144に出力し、電圧セクタ145で液晶印加電圧を選択し出力電圧線146に出力する。一方、走査回路149では、発振器147で生成した表示用基準クロック148を基にフレーム周期を示す表示同期信号FLM、ライン周期を示す表示同期信号CL1を生成し、表示同期信号104として液晶ドライバ105に転送する。走査回路149は表示同期信号CL1に同期して走査信号150を1ラインずつ順次有効にする。従って、表示同期信号CL1に同期して、液晶ドライバ105の出力電圧線146から表示データに対応した液晶印加電圧が出力され、走査信号150が順次有効となり液晶パネル151を駆動する。

【0044】このようにすることで、本液晶ドライバへの表示アクセスが可能となる。

【0045】次に、図7を用いて株式会社日立製作所SHマイコンシリーズのようにDRAMインタフェースを備えたCPUを使用した場合の本実施例の液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0046】図7は本実施例の液晶ディスプレイを用いたシステム構成図を示している。図7において、701はCPU、702はメインメモリ、703はI/O装置、704はアドレスバス、705はデータバス、706は制御信号バスである。液晶ドライバ105は、CPU701が制御するアドレスバス704、データバス705、制御信号バス706を介して転送されるアドレス、データ、制御信号により描画アクセスを行ない、走査回路149から転送される表示同期信号104に同期して表示アクセスを行なう。

【0047】CPU701、メインメモリ702、I/O装置703、液晶ドライバ105は、各々、アドレスバス704、データバス705、制御信号バス706に接続されており、CPU701から、アドレスバス704、データバス705、制御信号バス706を介してメインメモリ702、I/O装置703、液晶ドライバ105をアクセスすることができる。CPU701から出力されるロウアドレス、カラムアドレスはアドレスバス

704を介して液晶ドライバ105に転送される。それに同期して、メモリ制御信号RAS、CAS等もCPU701から出力され、制御信号バス706を介して液晶ドライバ105に転送される。液晶ドライバ105に転送されたアドレスは液晶ドライバ105内のアドレス制御回路108でメモリマップに対応したアドレスに変換される。

【0048】ここで、図9、10、11、12、13、14を用いて、メモリマップとアドレス変換について説明する。

【0049】図9(a)、(b)は、それぞれCPU、液晶ドライバから見た画面对応のメモリマップを示す。

【0050】320画素×240ラインの画面を1アドレス4画素で割り付けると、図9-(a)に示すようにCPU701から見た画面のメモリマップは、16進表示を用いて表すと1ライン目では00000Hから0004FHとなり、2ライン目では00100Hから0014FHとなり、240ライン目では0EF00Hから0EF4FHとなる。ここで、ラインとラインの境目でアドレスに飛びが生じるのは、アドレスの制御を容易にするためアドレスの下位8ビットをX方向アドレス、上位9ビットをY方向アドレスとしたためである。これに対し、液晶ドライバ105-1、105-2から見たメモリマップは、同図(b)に示すように、内蔵するメモリセル125のメモリマップとなるためCPU701から見た画面のメモリマップとは異なり、メモリセル125のアドレスの下位6ビットをカラム方向アドレス、上位8ビットをロウ方向アドレスとすることで液晶ドライバ105-1、105-2ともに、1ライン目では0000Hから0027Hとなり、2ライン目では0040Hから0066Hとなり、240ライン目では3BC0Hから3BE7Hとなる。従って、CPU701から転送されるアドレスをそのまま用いると液晶ドライバ105-1、105-2に内蔵するメモリセル125のアドレス指定が正しく行われないことになるため、アドレス制御回路108においてX方向アドレス8ビットをカラム方向アドレス6ビット、Y方向アドレス9ビットをロウ方向アドレス8ビットにアドレス変換を行う必要がある。そこで、アドレス制御回路108でX方向アドレス下位8ビットをカラム方向アドレス下位6ビットに、Y方向アドレス上位9ビットをロウ方向アドレス上位8ビットに変換することにより、CPU701から見たアドレス00000Hから00027Hを、メモリセル125-1のアドレス0000Hから0027Hに、CPUの00028Hから0004FHをメモリセル125-2の0000Hから0027Hに変換し、これを各ラインについて順次実行し、最後のラインについてCPUの0EF00Hから0EF27Hをメモリセル125-1の3BC0Hから3BE6Hに、CPUの0EF28Hから0EF4FHをメモリセル125-2の3BC0Hから

ら3BE7Hに変換するアドレス変換を行う。これにより、CPUのメモリマップをメモリセル125のメモリマップに対応させることができアドレスの指定を正しく行うことができる。

【0051】複数の液晶ドライバ105の液晶パネルに対する配置構成位置をアドレスモード信号で設定する。各配置構成におけるアドレス変換は次のように行う。

【0052】図10に示すように、液晶ドライバ105にはMODEA2、MODEA1、MODEA0の3ビットの制御信号であるアドレスモード信号（106または107）が入力され、これをデコードすることにより自己がどこに配置されているかを認識することができる。すなわち、自己がドライバID0から7までの8通りの液晶ドライバのいずれのドライバであるかを識別することができる。

【0053】図11、図12、図13、図14に液晶パネルの解像度が160画素×240ライン、320画素×240ライン、320画素×480ライン、640画素×480ラインの場合のそれぞれの液晶ドライバの配置構成とアドレスIDを示す。これらの図（特に図14）から分かるように、本実施例では1個の液晶ドライバを縦長に使い、左上のドライバがID0、その下のドライバがID1、ID0のドライバの右隣のドライバがID2、その下のドライバがID3、ID2の右隣のドライバがID4、その下のドライバがID5という順にIDが決定されている。これらの構成において、ラインスキャン（走査）方向は縦方向である。

【0054】図1、図7の液晶ディスプレイシステムの場合、図12の構成に対応するので、ドライバ105-1のアドレスモード信号線106はMODEA2、A1、A0="000"すなわちドライバID=0、ドライバ105-2のアドレスモード信号線107はMODEA2、A1、A0="010"すなわちドライバID=2になるように設定する。つまり、アドレスモード信号の設定でその液晶ドライバの配置位置に対応したアドレス制御に切り換えることによりメモリセル125に対して正しいアドレス指定を行うことができる。

【0055】さらに、アドレスモード信号線と入力されるアドレスとから、その液晶ドライバ自身に対するアクセスが否か判定し液晶ドライバ内部でチップセレクト信号を生成することで、CPUが複数の液晶ドライバ105を個別にアクセスすることができる。図1、図7の液晶ディスプレイシステムの場合、ドライバ105-1のアドレスモード信号線106はMODEA2、A1、A0="000"（ドライバID=0）、ドライバ105-2のアドレスモード信号線107はMODEA2、A1、A0="010"（ドライバID=2）になるように設定することにより、例えば、CPU701からアドレス"0EF27H"が指定された場合、液晶ドライバ105-1は内部でチップセレクト信号を生成しそのア

クセスを実行し、CPU701からアドレス"0EF28H"が指定された場合、液晶ドライバ105-2は内部でチップセレクト信号を生成しそのアクセスを実行する。

【0056】次に、図8を用いて株式会社日立製作所H8シリーズのようにDRAMインタフェースを備えないCPUを使用した場合の実施例である、液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0057】図8において、804はアドレスバス、805はデータバス、806は制御信号バスである。807はアドレスバス804、データバス805、制御信号バス806を受け、液晶ドライバ105のメモリへの描画アクセスのための制御を行うメモリコントローラ、808、809、810はそれぞれメモリコントローラ807で制御されたメモリ描画用のアドレスバス、データバス、制御信号バスである。

【0058】CPU801、メインメモリ802、I/O装置803、メモリコントローラ807は、各々、アドレスバス804、データバス805、制御信号バス806に接続されており、CPU801からアドレスバス804、データバス805、制御信号バス806を介してメインメモリ802、I/O装置803、メモリコントローラ807をアクセスすることができる。CPU801から出力されるアドレスはアドレスバス804を介してメモリコントローラ807に転送されラッチされる。それに同期して、制御信号もCPU801から出力され、制御信号バス806を介してメモリコントローラ807に転送される。メモリコントローラ807では、アドレスバス804、制御信号バス806から入力されたアドレスと制御信号から、ロウアドレス、カラムアドレスとメモリ制御信号RAS、CAS等をアドレスデータバス808、制御信号バス810にタイミングを合わせて出力し、液晶ドライバ105にアクセスする。以後、液晶ドライバ105の動作については、図7に示した液晶ディスプレイシステムと同様である。

【0059】次に、図1と図15から図21を用いて液晶ドライバ105の描画メモリアクセスの詳細なタイミングを説明する。

【0060】図15を用いてメモリリードサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、アドレス制御回路108で前述のようなアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出力される。

【0061】図16を用いてメモリアーライトサイクル

ルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。そして、WE信号がローレベルであるCAS信号の立ち下がりによってライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。

【0062】図17を用いてメモリディレイドライツァイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。そして、CAS信号がローレベルであるWE信号の立ち下がりによってライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。

【0063】図18を用いてメモリリードモディファイドライツァイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。また、マスクデータがRAS信号の立ち下がりによって取り込まれる。そして、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出力される。CAS信号がローレベルであるWE信号の立ち下がりによって、ライトデータを取り込み、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、マスクデータに対応したビットはマスクされてライトデータが書き込まれる。

【0064】次に、高速アクセスが可能なページモードアクセスについて説明する。ページモードアクセスでは同一のロウアドレスのデータに対して、最初にランダムアクセスと同様にロウアドレスとカラムアドレスを指定し、次のサイクルからカラムアドレスのみを指定することで高速なアクセスが可能となる。

【0065】図19を用いてメモリページモードリードサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。そして、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出力される。

さらに、RAS信号がローレベルのままCAS信号の立ち下がりによってカラムアドレスが再度取り込まれ、ロウアドレスはそのままメモリセル125のロウアドレス、カラムアドレスが指定され、DT/OE信号のローレベル期間にリードデータが出力される。以後、この動作が繰り返され、複数のリードデータが順次出力される。

【0066】図20を用いてメモリページモードアライドライツァイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。そして、WE信号がローレベルであるCAS信号の立ち下がりによってライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。さらに、RAS信号がローレベルのままCAS信号の立ち下がりによってカラムアドレスが再度取り込まれ、WE信号がローレベルであるCAS信号の立ち下がりによってライトデータが取り込まれ、ロウアドレスはそのままメモリセル125のロウアドレス、カラムアドレスが指定され、ライトデータが書き込まれる。以後、この動作が繰り返され、複数のライトデータが順次書き込まれる。

【0067】図21を用いてメモリページモードディレイドライツァイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりによってロウアドレスが取り込まれ、CAS信号の立ち下がりによってカラムアドレスが取り込まれる。そして、CAS信号がローレベルであるWE信号の立ち下がりによってライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。さらに、RAS信号がローレベルのままCAS信号の立ち下がりによってカラムアドレスが再度取り込まれ、CAS信号がローレベルであるWE信号の立ち下がりによってライトデータが取り込まれ、ロウアドレスはそのままメモリセル125のロウアドレス、カラムアドレスが指定され、ライトデータが書き込まれる。以後、この動作が繰り返され、複数のライトデータが順次書き込まれる。

【0068】このように、ランダムアクセス、ページモードアクセス等の株式会社日立製作所「日立ICメモリデータブック2」に記載されているような汎用のDRAMアクセスサイクルをサポートすることで、本液晶ドライバを用いた液晶ディスプレイシステムを容易に構成することができる。

【0069】次に、図1、図22、図23を用いて表示アクセスの詳細なタイミングについて説明する。

【0070】表示アクセスは、走査回路149の表示同

期信号104に同期した同一周期で、メモリセル125の1ライン毎の表示データを液晶印加電圧に変換して出力電圧線146から出力し液晶パネル151を駆動する動作である。

【0071】図22に示すように、表示用同期信号CL1の立上りに同期して表示アドレスカウンタ111がカウントアップし、順次ロウアドレスをカウントアップすることにより、表示用同期信号CL1の立上りに同期して出力電圧線146から1ロウ分ずつ液晶印加電圧を出力する。具体的には、表示アクセスは、表示同期信号CL1に同期してラッチ信号130が立上り、ラッチ回路137をスルーにした後、ラッチ信号130の立下りでFRCセレクト135の出力を保持する。一方、ラッチ回路139は、表示同期信号CL1に同期した制御信号131にตอบสนองして、CL1の立上りでラッチデータ138をラッチする。CPUからの描画アクセスは、一定の周期で行なわれる表示アクセスの合間に行なうことができる。RAS信号の立下りでロウアドレスが保持され、続くCAS信号の立下りでコラムアドレスが保持され、両アドレスで指示される記憶位置がアクセスされる。CPUからのロウアドレスとカウンタ111からのロウアドレスを切替るセレクト115への制御信号(MAMPX)116は、CAS信号の立下り時にローレベルとなり、描画時に切り替わる。次の表示同期信号CL1の立上りで制御信号116はハイレベルに戻る。

【0072】ところで、描画アクセスと表示アクセスとはそれぞれ独立しており非同期であるため、描画アクセスと表示アクセスのタイミングが重なる場合がある。図23に、描画アクセスと表示アクセスが重なった場合のタイミングを示す。表示動作は一定の周期で行わないと液晶パネルの表示品質が悪くなる。本実施例では、2段のラッチ回路137およびラッチ回路139を設けることで描画アクセスと表示アクセスとが重なった場合でも、表示動作を一定の周期で行うことができる。

【0073】図23に示すように、RAS信号のローレベル期間に表示同期信号CL1が入力された場合、ラッチ回路137に対するラッチ信号130が表示同期信号CL1に同期して立ち上がるのが抑止され、描画アクセスが優先される。すなわち、CPUからの描画アクセスはロウアドレス、コラムアドレスが共に確定するCAS信号の立ち上がりからメモリセル125にアクセスを行い、CAS信号の立上りで終了する。セレクト115の制御信号(MAMPX)116はローレベルで描画用アドレスを選択し、ハイレベルで表示用アドレスを選択する。描画アクセスの場合、制御信号116は、CAS信号の立下りでローレベルとなるが、表示アクセスと競合した場合には、CAS信号の立上りで制御信号116をハイレベルに戻し、描画アクセス後、直ちにラッチデータ138の更新に移行する。

【0074】表示アクセスでは、図22の場合と同様、

表示同期信号CL1の立上りで、表示アドレスカウンタ111をnからn+1にカウントアップし、ロウアドレスnに対応するラッチデータ138を制御信号131にตอบสนองしてラッチ回路139でラッチする。このように、ラッチデータ140の更新は、アクセスの競合に拘らず予定通り行なわれる。但し、立上りが抑止されていたラッチ信号130は、CAS信号が立上った(描画アクセスが終了した)時点で立ち上げられ、これによりラッチデータ180をロウアドレスn+1に対応するデータに更新する。その結果、次の表示同期信号CL1の立上りで、ラッチデータ140は、更新されたラッチデータ138に追従することができる。ラッチ回路137はレベルラッチ回路であるため、ロウアドレスn+1、n+2のデータを順次取り込み、ラッチ信号130の立ち下がりによってロウアドレスn+2のデータを保持する。つまり、CPUからの描画アクセスはCAS信号のローレベル期間で行い、表示アクセスについては液晶パネルへの出力動作は表示同期信号CL1の立上りで常に行うとともに、メモリセル125からデータの読みだし動作は描画アクセスと重なる場合については次の表示同期信号CL1までの描画アクセスが無い期間に行う(描画アクセスが連続する場合でも描画アクセス中のCAS信号のローレベル期間以外の期間にメモリセル125からデータの読みだし動作を行う)。

【0075】このようにラッチ回路137、139を2段設け、それぞれのラッチ信号130、131を巧妙に制御することにより、描画アクセスと表示アクセスが重なる場合でも、それぞれのアクセスを正常に行うことができる。

【0076】このためCPUからの描画アクセスは、表示アクセスの制限無く、常に行うことができるため高速な描画を実現できる。

【0077】以上述べた、第1の実施例では、160画素×240ライン×2ビット=76800ビットのメモリ容量を持ち、出力数160出力の場合についてであったが、他のメモリ容量や他の出力数に関しても、アドレス制御回路や表示アドレスカウンタ等をそれに対応して変更することで対応できる。また、多階調化に関しても、第1の実施例では1画素あたり2ビットの階調データを持ちFRC方式により4階調表示を行っているが、FRCパターン、階調データを増やしそれに対応してメモリ容量、FRCセレクト等を変えることで対応できる。さらに、階調制御方式に関しても、FRC方式だけではなくパルス幅変調方式を用いても階調表示を行うことも可能である。

【0078】次に、液晶ドライバを縦(Y軸側)に配置した本発明の第2の実施例を図24から図32を用いて説明する。

【0079】図24は、本発明の液晶ドライバを使用した液晶ディスプレイの構成図である。

【0080】図24において、2401はアドレスを転送するアドレスバス、2402は表示データを転送するデータバス、2403は制御信号を転送する制御信号バス、2404は走査ドライバで生成した表示同期信号である。2405は本発明の液晶ドライバであり、出力数は160出力とする。2406、2407はそれぞれ液晶ドライバ2405-1、2405-2の構成位置を示す3ビットのアドレスモード信号線、2408はアドレスバス2401から入力するアドレス値をアドレスモード信号線に従ってメモリ内部のアドレスに変換するアドレス制御回路である。2409は、システムからの制御信号バス2403、表示同期信号2404から描画、表示動作を制御するタイミング制御回路、2410はデータバス2402との入出力制御を行うインタフェース回路、2411は表示用のロウアドレスを生成する表示アドレスカウンタ、2412は表示アドレスバス、2413、2414はそれぞれアドレス制御回路2408で生成したメモリセルのカラムアドレス、ロウアドレスである。2415は表示用アドレスと描画用アドレスを制御信号2416で選択するセクタ、2417はセクタ2415で選択したメモリロウアドレス、2418はメモリセルのワード線を選択するロウアドレスデコーダ、2455はロウアドレスデコーダ2418で生成した選択信号バス、2456はロウアドレスデコーダ2418で生成した選択信号バス、2420はメモリセルの信号線を選択する選択信号を生成するカラムアドレスデコーダ、2421はカラムアドレスデコーダ2420で生成した選択信号バス、2422は入出力双方向のデータバス、2423はデータバス2422を選択信号バス2421で選択するメモリセルの信号線と接続するセクタ、2424はセクタ2423を介した信号線バス、2425は160出力、4階調に対応した160画素×240ライン×2ビット=76800ビットの容量を持つメモリセルである。2426、2427、2428、2429、2430、2431はそれぞれタイミング制御回路2409で生成する制御信号で、2426はアドレス変換用制御信号、2427はデータの入出力制御用の制御信号、2428は表示アドレスカウンタ用の制御信号、2429はFRCパターン生成回路2433を制御する制御信号、2430、2431はそれぞれ表示用ラッチ信号である。2432はメモリセル2425からの160出力×2ビット=320本のデータバス、2457は同じアドレスに接続された4画素のデータを選択するセクタ、2458はセクタ2457で選択されたデータバス、2433はFRCパターン生成回路、2434はFRCデータバス、2435はFRCデータバス2434とデータバス2432から出力データを選択するFRCセクタ、2436は160ビットのデータバス、2437はデータバス2436のデータを160ビット同時にラッチ信号2430のハイレベルでラッチ

する160ビットのラッチ回路、2438はラッチ回路2437の出力データのデータバス、2439はデータバス2438のデータを160ビット同時にラッチ信号2431の立上りエッジでラッチする160ビットのラッチ回路、2440はラッチ回路2439の出力データのデータバス、2441は液晶駆動電圧に対応した電圧レベルに信号電圧をシフトするレベルシフタ、2442はレベルシフトしたデータバス、2443は交流化信号とデータとをデコードするデコーダ、2444はデコードされた選択信号バス、2445は液晶駆動電圧を選択する電圧セクタ、2446は出力電圧線である。2447は表示用の基準クロックを生成する発振器、2448は表示用の基準クロック、2449は240ラインを駆動する走査回路で、液晶ドライバ用の表示同期信号2404を生成する。2450は走査回路2449で生成された走査信号バス、2451は解像度320ドット×240ラインの液晶パネルである。2452は電源回路、2453は走査回路2449を駆動する駆動電圧線、2454は液晶ドライバ2405に液晶駆動電圧を転送する電圧線である。

【0081】次に、第2の実施例における液晶ドライバの動作について、図24の構成図を用いて説明する。

【0082】まず始めに、描画動作について説明する。図24に示すように、アドレスバス2401からのロウアドレスおよびカラムアドレスはアドレス制御回路2408に入力され、それぞれ制御信号バス2402からタイミング制御回路2409を介して入力される制御信号のRAS信号、CAS信号の立下がりでラッチされる。ラッチされたアドレスはアドレス制御回路2408でメモリセル2425のカラムアドレス2413、ロウアドレス2414に変換される。カラムアドレス2413はカラムアドレスデコーダ2420に転送され、カラムアドレス2413に対応した選択信号バス2421を有効にする。ロウアドレス2414はセクタ2415に転送され、CPUアクセスの期間はロウアドレス2414が選択されメモリロウアドレス2417に出力されるように、タイミング制御回路2409で制御信号2416が制御される。メモリロウアドレス2417はロウアドレスデコーダ2418に入力され、メモリロウアドレスに対応した選択信号バス2419を有効にする。データバス2402は入出力制御を行うインタフェース回路2410に接続され、ライトサイクル、リードサイクルに対応してインターフェイス回路2410が入出力状態になるようにタイミング制御回路2409で制御信号2427が制御される。そして、ライトサイクルではデータバス2402が入力状態（液晶ドライバからみて）となり、カラムアドレス2410に対応したセクタ2423が有効となりデータが書き込まれる。一方、ロウアドレス2414に対応した選択信号バス2419が有効となっているため、データバス2402のデータはアドレ

スバス2401に対応したメモリセル2425に書き込まれる。また、リードサイクルではデータバス2402が出力状態（液晶ドライバからみて）となり、カラムアドレス2413に対応したセクタ2423が有効となりデータが読み込まれる。一方、ロウアドレス2414に対応した選択信号バス2419が有効となっているため、データバス2402にアドレスバス2401に対応したメモリセル2425のデータが出力される。

【0083】このようにすることでCPU等のシステムからの本液晶ドライバへの描画アクセスが可能となる。

【0084】次に、表示動作について説明する。表示動作は、メモリセルの表示データを1ライン（垂直1ライン）同時に読みだし、走査回路2449の走査信号に同期して液晶パネルを駆動し表示を行う。表示動作を行うためのフレーム周期を示すFLM信号とライン周期を示すCL1信号は、走査回路2449で生成され、表示同期信号2404としてタイミング制御回路2407に入力する。タイミング制御回路2407で生成した表示用の制御信号2425により表示アドレスカウンタ2409はライン周期毎にカウントし表示アドレスを更新し、フレーム周期毎にカウント値をリセットする。これにより、一定の周期で表示アドレスを0から239まで順次生成することができる。表示アドレス2412は制御信号2416によりセクタ2415で選択されロウアドレスデコーダ2418に入力され、表示アドレス2412に対応した選択信号バス2419が有効になり、メモリセル2425の1ラインのデータが読み込まれる。

【0085】ここで図32を用いて第2の実施例におけるメモリセルの詳細な動作を説明する。

【0086】メモリセル2425は同一アドレスに4画素×2ビット=8ビットのデータを割り当てており、その4画素は液晶パネルの画面の横（水平）方向4画素に対応しているため、描画アクセスでは4画素同時にリード/ライトを行う必要があり、且つ表示アクセスではライン走査方向が液晶パネルの画面の横方向である（垂直1ラインずつ同時に読みだし）ため上記4画素を表示アクセスごとにそのうちの1画素ずつ1本の出力電圧線から出力する必要がある。このため図32に詳細を示すセクタ2457を持つ構成とした。

【0087】メモリセル2425の動作について説明する。描画アクセスでは、カラムアドレスデコーダ2420が8ビットのカラムアドレスから160本の選択信号2421を生成し、選択信号線2421の1本で8ビット分の信号線をセクタ2423で選択し、それに対応した8ビット分の信号線2424を有効にし、ロウアドレスデコーダ2418が6ビットのロウアドレスから60本の選択信号2455を生成し、選択することでリード/ライト動作を行うことができる。

【0088】表示動作では、表示アドレスカウンタで生成される表示アドレス8ビットからロウアドレスデコー

ダ2418で上位6ビットから60本の選択信号線2455を生成し、下位2ビットから4本の選択信号線2456を生成する。選択信号2455で選択したデータ2432を選択信号2456とセクタ2457で選択し160出力×2ビット=320ビットのデータ2458が読み込まれ、FRCセクタ2435に出力される。

【0089】この表示アクセスについて、図38によりさらに補足説明する。ライン走査方向を液晶パネルの水平方向とするために、順次メモリセル2445のロウ番号を更新してメモリ内容を読みだすが、1ロウには画素0～画素3の4画素分が含まれているのでそれぞれの4画素の組の中からまず画素0のみを取り出し、1ライン出力とする。続いて順次、画素1、2、3と同様に繰り返す。

【0090】ここで再び図24に戻って、FRCパターン生成回路2433では制御信号2429に従ってFRC表示パターンが生成され、FRCデータバス2434を介してFRCセクタ2435に入力される。FRCセクタ2435では、データバス2432の1出力あたり2ビットの表示データとFRCデータ2434とからFRC階調表示制御を行った1出力あたり1ビットの表示データをデータバス2436に出力する。ラッチ回路2437では表示用ラッチ信号2430のハイレベルで表示データ2436をラッチし、ラッチ回路2439ではその出力データのデータバス2438を表示用ラッチ信号2431の立上りエッジでラッチする。表示用ラッチ信号2430、2431の位相関係からラッチ回路2439には、表示アドレスカウンタの示すアドレスの1ライン前のデータがライン周期毎に順次ラッチされる。データバス2440はレベルシフト2441で液晶駆動電圧に電圧がシフトされ、データバス2442として出力される。デコーダ2443では交流化信号とデータバス2442とをデコードして選択信号バス2444に出力し、電圧セクタ2445で液晶印加電圧を選択し出力電圧線2446に出力する。一方、走査回路2449では、発振器147で生成した表示用基準クロック148を基にフレーム周期を示す表示同期信号FLM、ライン周期を示す表示同期信号CL1を生成し、表示同期信号2404として液晶ドライバ2405に転送する。走査回路2449は、表示同期信号CL1に同期して走査信号2450を1ラインずつ順次有効にする。従って、表示同期信号CL1に同期して、液晶ドライバ2405の出力電圧線2446から表示データに対応した液晶印加電圧が出力され、走査信号2450が順次有効となり液晶パネル2451を駆動する。

【0091】このようにすることで、本液晶ドライバへの表示アクセスが可能となる。

【0092】次に、図25を用いて株式会社日立製作所SHマイコンシリーズのようにDRAMインタフェースを備えたCPUを使用した場合の本実施例の液晶ドライ

バを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0093】図25に示すように、CPU2501、メインメモリ2502、I/O装置2503、液晶ドライバ2405はアドレスバス2504、データバス2505、制御信号バス2506に接続されており、CPU2501からアドレスバス2504、データバス2505、制御信号バス2506を介してメインメモリ2502、I/O装置2503、液晶ドライバ2405をアクセスすることができる。CPU2501から出力されるロウアドレス、カラムアドレスはアドレスバス2504を介して液晶ドライバ2405に転送される。それに同期して、メモリ制御信号RAS、CAS等もCPU2501から出力され、制御信号バス2506を介して液晶ドライバ2405に転送される。液晶ドライバ2405に転送されたアドレスは液晶ドライバ2405内のアドレス制御回路2408でメモリマップに対応したアドレスに変換される。ここで、図27、28、29、30、31を用いて、メモリマップとアドレス変換について説明する。

【0094】図27は、第2の実施例におけるCPU、液晶ドライバそれぞれから見た画面のメモリマップを示す。

【0095】図27に示すように320画素×240ラインの画面を1アドレス4画素で割り付けると、CPU2501から見た画面のメモリマップは、16進表示を用いて表すと1ライン目では00000Hから0003BHとなり、2ライン目では00100Hから0013BHとなり、320ライン目では13F00Hから13F3BHとなる。ここで、ラインとラインの境目でアドレスに飛びが生じるのは、アドレスの制御を容易にするためアドレスの下位8ビットをX方向アドレス、上位10ビットをY方向アドレスとしたためである。これに対し、液晶ドライバ2405-1、2405-2から見たメモリマップは内蔵するメモリセル2425のメモリマップとなるためCPU2501から見た画面のメモリマップとは異なり、メモリセル2425のアドレスの下位6ビットをロウ方向アドレス、上位8ビットをカラム方向アドレスとすることで液晶ドライバ2405-1、2405-2ともに、1ライン目では0000Hから0003BHとなり、2ライン目では0040Hから007BHとなり、160ライン目では27C0Hから27FBHとなる。その結果、CPU2501から転送されるアドレスをそのまま用いると液晶ドライバ2405-1、2405-2に内蔵するメモリセル2425のアドレス指定が正しく行われないことになるため、アドレス制御回路2408においてアドレス変換を行う必要がある。そこで、アドレス制御回路2408において、X方向アドレス8ビットをロウ方向アドレス6ビット、Y方向アドレス10ビットをカラム方向アドレス8ビットにアド

レス変換を行う必要がある。アドレス制御回路2408でX方向アドレス8ビットをロウ方向アドレス6ビット、Y方向アドレス10ビットをカラム方向アドレス8ビットに変換することで、CPU2501から見たアドレス00000Hから0003BHをメモリセル2425のアドレス0000Hから0003BH、同様に09F00Hから09F3BHを27C0Hから27FBH、同様に0A000Hから0A03BHを0000Hから0003BH、同様に13F00Hから13F3BHを27C0Hから27FBHに変換するアドレス変換を行うことでメモリセル2425のメモリマップに対応させることができアドレスの指定を正しく行うことができる。

【0096】第1の実施例と同様に、複数の液晶ドライバ2405の液晶パネルに対する配置構成位置をアドレスモード信号で設定することでアドレス変換を次のように行う。

【0097】図10に示すように、第1の実施例の場合と同様に、液晶ドライバ2405には、その配置位置に応じて決まるアドレスモード信号MODEA2、MODEA1、MODEA0の3ビットの制御信号が外部から入力され、これをデコードすることでドライバIDが0から7までの8通りのIDを設定することができる。図28、図29、図30、図31に液晶パネルの解像度が水平240×垂直160、水平240×垂直320、水平480×垂直320、水平480×垂直640の場合の液晶ドライバの構成とドライバIDを示す。図24、図25の液晶ディスプレイシステムの場合、液晶ドライバ2405-1のアドレスモード信号線2406はMODEA2、A1、A0="000"（ドライバID=0）、液晶ドライバ2405-2のアドレスモード信号線2407はMODEA2、A1、A0="010"（ドライバID=2）になるように設定する。つまり、アドレスモード信号線の設定で、その液晶ドライバの配置位置に対応したアドレス制御に切り換えることにより、メモリセル2425に対して正しいアドレス指定を行うことができる。

【0098】さらに、アドレスモード信号線と入力されるアドレスとから、その液晶ドライバ自身に対するアクセス可否か判定し液晶ドライバ内部でチップセレクト信号を生成することにより、CPUが複数の液晶ドライバ2405をアクセスすることができる。図24、図25の液晶ディスプレイシステムの場合、液晶ドライバ2405-1のアドレスモード信号線2406はMODEA2、A1、A0="000"（ドライバID=0）、液晶ドライバ2405-2のアドレスモード信号線2407はMODEA2、A1、A0="010"（ドライバID=2）になるように設定することにより、CPUからアドレス"09F00H"が指定された場合、液晶ドライバ2405-1は内部でチップセレクト信号を生成しそのアクセスを実行し、CPUからアドレス"0A0

00H"が指定された場合、液晶ドライバ2405-2は内部でチップセレクト信号を生成しそのアクセスを実行する。

【0099】次に、図26を用いて株式会社日立製作所H8シリーズのようにDRAMインタフェースを備えないCPUを使用した場合の本実施例の液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0100】図26に示すように、CPU2601、メインメモリ2602、I/O装置2603、メモリコントローラ2607はアドレスバス2604、データバス2605、制御信号バス2606に接続されており、CPU2601からアドレスバス2604、データバス2605、制御信号バス2606を介してメインメモリ2602、I/O装置2603、メモリコントローラ2607をアクセスすることができる。CPU2601から出力されるアドレスはアドレスバス2604を介してメモリコントローラ2607に転送されラッチされる。それに同期して、制御信号もCPU2601から出力され、制御信号バス2606を介してメモリコントローラ2607に転送される。メモリコントローラ2607では、アドレスバス2604、制御信号バス2606から入力されたアドレスと制御信号から、ロウアドレス、カラムアドレスとメモリ制御信号RAS、CAS等をアドレスデータバス2608、制御信号バス2610にタイミングを合わせて出力し、液晶ドライバ2405にアクセスする。以後、液晶ドライバ2405の動作については、図25に示した液晶ディスプレイシステムと同様である。

【0101】以上説明した実施例では、メモリセル125のメモリインタフェースとして、DRAMインタフェースを用いたが、SRAMインタフェースを用いることも可能である。SRAMインタフェースでは、X座標値を示すアドレスとY座標値を示すアドレスとを同時にアドレスバス上に転送するので、DRAMインタフェースを用いた場合に比べてアドレスバスの線数は増加するが、CPUの2サイクルでメモリのアクセスが可能となるため描画速度が向上する。

【0102】図39および図40に、本実施例のメモリリードサイクルおよびメモリライトサイクルを表わすタイミング図をそれぞれ示す。このようなタイミングを実現するために、液晶ドライバの構成としては、図1の構成において、アドレスバス101、アドレス制御回路108、タイミング制御回路109の構成を変更する必要がある。

【0103】本実施例の液晶ドライバの動作は、CPUからのメモリアクセス時には、X座標値を示すアドレスとY座標値を示すアドレスとを同時にアドレスバスから得られ、図39、図40のタイミングにしたがってリード/ライトが行なわれる。表示動作については、図1の

実施例と同様である。

【0104】図39を用いて、本実施例のメモリリードサイクルについて説明する。アドレスはアドレスバス101から入力され、アドレス制御回路108でアドレス変換が行なわれ、メモリセル125のロウアドレス、カラムアドレスが指定される。CS信号は、液晶ドライバ全体を選択するチップセレクト信号であり、制御信号バス103から受けるCS信号およびアウトプットイネーブル(OE)信号が共にアクティブ(ローレベル)になった期間に、リードデータが出力される。

【0105】図40を用いてメモリライトサイクルについて説明する。アドレスがアドレスバスから入力され、アドレス変換によりメモリセル125のロウアドレス、カラムアドレスが指定されるまではリードサイクルと同じである。ライトサイクルでは、制御信号バスから受けたCS信号およびライトイネーブル信号(WE)が共にアクティブ(ローレベル)になった期間にライトデータが書き込まれる。

【0106】このように、日立製作所「日立ICメモリデータブック1」に記載されているような汎用SRAMアクセスサイクルをサポートすることにより、本液晶ドライバを用いた液晶ディスプレイシステムを容易に構成することができる。

【0107】また、第1の実施例と同様に、ラッチ137、139を2段設け、それぞれのラッチ信号を制御することにより、描画アクセスと表示アクセスとが重なる場合でも、それぞれのアクセスを正常に行なうことができる。このため、CPUからの描画アクセスは、表示アクセスによる制限を受けることなく、常に行なうことができる。

【0108】本実施例においても、メモリセルのメモリ容量、出力数、階調数は上述のものに限定されない。また、図32に示したメモリセル構成を採用することにより、表示画面に対して液晶ドライバをそのY軸側に配置することも可能である。

【0109】次に、本発明の液晶ディスプレイを用いた携帯型情報機器としての本発明の他の実施例について、図33から図37を用いて説明する。本発明の液晶ディスプレイは、低消費電力であるためバッテリー駆動を行う携帯型情報機器に搭載するのに最適である。

【0110】図33は、画面サイズ4インチから6インチ程度の解像度240画素×320ラインの縦長の液晶パネル(図29に対応)を用いた携帯型情報機器の実施例で、3301は携帯型情報機器、3302はペン入力タブレット一体型、解像度240画素×320ラインの液晶ディスプレイで、第2の実施例で示したように液晶ドライバは縦置き構成である。3303は各種ファンクションキー、3304はコマンド又はメニューキー、3305は実行キーである。ペン入力とキー操作により、電話番号、住所等のデータベースの検索やワードプロセ

ッサ等の機能を実現できる。

【0111】図34は画面サイズ8インチから10インチ程度の解像度640画素×480ラインの横長の液晶パネル(図14に対応)を用いた携帯型情報機器の実施例で、3401は携帯型情報機器、3402は解像度640画素×480ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3403は各種ファンクションキー、3404はキーである。キー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ、パーソナルコンピュータ等の機能を実現できる。

【0112】図35は、画面サイズ4インチから6インチ程度の解像度320画素×240ラインの横長の液晶パネル(図12に対応)を2枚用いた携帯型情報機器の実施例で、3501は携帯型情報機器、3502は解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3503はペン入力タブレット一体型、解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3504はペン入力の各種ファンクションキーである。ペン入力操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0113】図36は、画面サイズ2インチから3インチ程度の解像度240画素×160ラインの横長の液晶パネル(図28に対応)を用いた携帯型情報機器の実施例で、3601は携帯型情報機器、3602は解像度240画素×160ラインの液晶ディスプレイで、第2の実施例で示したように液晶ドライバは縦置き構成である。3603はファンクションキー、3604はキーである。キー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0114】図37は、画面サイズ4インチから6インチ程度の解像度320画素×240ラインの横長の液晶パネル(図12に対応)を用いた携帯型情報機器の実施例で、3701は携帯型情報機器、3702はペン入力タブレット一体型、解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3703はファンクションキー、3704はコマンド又はメニューキー、3705は実行キーである。ペン入力とキー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0115】

【発明の効果】本発明の液晶ドライバによれば、1水平期間に1回の表示アクセスで液晶パネルに表示データに対応した液晶印加電圧を生成、出力し表示が出来るので、液晶ディスプレイを含む表示システム全体の低消費電力化が図れる。

【0116】また、本発明の液晶ドライバによれば、表

示アクセスの制限無く常に描画アクセスを実行することが可能なため、高速描画が実現できる。

【0117】CPUアドレスをメモリアドレスに変換するアドレス変換手段を採用することにより、液晶ドライバを複数個用いて構成した場合でも、X方法、Y方向ともに、CPUからみた表示メモリのアドレスをリニアにすることができ、描画のためのアドレス演算が容易になる。

【0118】更に、本発明の液晶ドライバによれば、汎用のメモリアクセスを有することからシステムが、本液晶ドライバを汎用メモリとして使用することが出来るので、使い勝手が良くなる。

【0119】また、液晶ドライバがCPUのアドレスバスとデータバスに接続され、CPUが直接、液晶ドライバ内蔵の表示メモリをアクセスすることができるため、メモリアクセスの制御回路を削減することができる。

【0120】更にまた、本発明の液晶ドライバによれば、階調機能を内蔵することにより、階調のついた見やすい画面を構成できる。

【0121】また、本発明の液晶ドライバによれば、液晶パネルの横方向に液晶ドライバを配置する構成にしたときも、液晶パネルの縦方向に液晶ドライバを配置する構成にしたときにも、システムから見たビットマップが同一アドレス上のデータの各ビットが液晶パネルの横方向に並ぶ構成になることから、液晶ドライバの横方向、縦方向の配置構成に対応してシステムのアドレス/データ管理を変更せずに使用できるため、描画アクセスを高速に行うことができる。

【0122】また、本発明によれば、複数の液晶ドライバを用いることが出来るので、小画面から大画面の各種解像度の液晶パネルも駆動することが出来る。

【図面の簡単な説明】

【図1】本発明のメモリ内蔵液晶ドライバを使用した第1の実施例の液晶ディスプレイ構成図である。

【図2】従来の液晶ディスプレイ構成図である。

【図3】図2に記載した液晶ディスプレイを用いたパーソナルコンピュータの構成図である。

【図4】図3に記載したシステムにおいて、表示メモリ307のアクセスを示すタイミングチャートである。

【図5】従来の液晶ドライバの動作タイミングチャート図である。

【図6】従来のメモリ内蔵液晶ドライバを用いた液晶ディスプレイ構成図である。

【図7】本発明の液晶ドライバを用いた第1の実施例の液晶ディスプレイシステム構成図である。

【図8】本発明の液晶ドライバを用いた第1の実施例の液晶ディスプレイシステム構成図である。

【図9】第1の実施例の液晶ディスプレイシステムのCPUから見た画面メモリマップと、ドライバから見たドライバメモリマップである。

【図10】液晶ドライバのアドレスモードを示す説明図である。

【図11】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図12】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図13】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図14】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図15】メモリリードサイクルを示すタイミング図である。

【図16】メモリアーリライトサイクルを示すタイミング図である。

【図17】メモリディレイドライトサイクルを示すタイミング図である。

【図18】メモリリードモディファイライトサイクルを示すタイミング図である。

【図19】メモリページモードリードサイクルを示すタイミング図である。

【図20】メモリページモードアーリライトサイクルを示すタイミング図である。

【図21】メモリページモードディレイドライトサイクルを示すタイミング図である。

【図22】表示、描画アクセスを示すタイミング図である。

【図23】表示、描画アクセスを示すタイミング図である。

【図24】本発明のメモリ内蔵液晶ドライバを使用した第2の実施例の液晶ディスプレイ構成図である。

【図25】本発明の液晶ドライバを用いた第2の実施例の液晶ディスプレイシステム構成図である。

【図26】本発明の液晶ドライバを用いた第2の実施例の液晶ディスプレイシステム構成図である。

【図27】第2の実施例の液晶ディスプレイシステムのCPUから見た画面メモリマップと、ドライバから見たドライバメモリマップである。

【図28】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図29】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図30】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図31】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図32】第2の実施例のメモリセル詳細ブロック図で

ある。

【図33】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図34】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図35】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図36】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図37】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図38】液晶ドライバをY軸側に配置する場合のメモリアドレスとビットマップの関係を示す説明図である。

【図39】SRAMインタフェースを用いた本発明の他の実施例におけるメモリリードサイクルを示すタイミング図である。

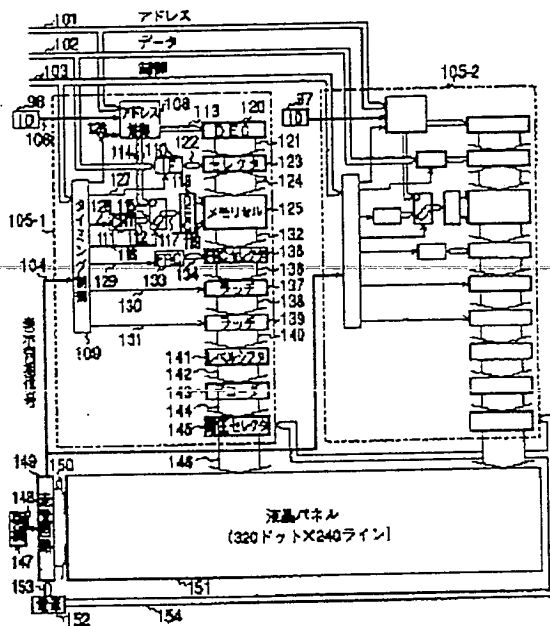
【図40】SRAMインタフェースを用いた本発明の他の実施例におけるメモリライトサイクルを示すタイミング図である。

【符号の説明】

101…アドレスバス、102…データバス、103…制御信号バス、104…表示同期信号、105…液晶ドライバ、106…アドレスモード信号線、107…アドレスモード信号線、108…アドレス制御回路、109…制御信号バス、110…インタフェース回路、111…表示アドレスカウンタ、112…表示アドレスバス、113…カラムアドレス、114…ロウアドレス、115…セクタ、116…制御信号、117…メモリロウアドレス、118…ロウアドレスデコーダ、119…選択信号バス、120…カラムアドレスデコーダ、121…選択信号バス、122…データバス、123…セクタ、124…信号線バス、125…メモリセル、126…制御信号、127…制御信号、128…制御信号、129…制御信号、130…制御信号、131…制御信号、132…データバス、133…FRCパターン生成回路、134…FRCデータバス、135…FRCセクタ、136…データバス、137…ラッチ回路、138…データバス、139…ラッチ回路、140…データバス、141…レベルシフト、142…データバス、143…デコーダ、144…選択信号バス、145…電圧セクタ、146…出力電圧線、147…発振器、148…基準クロック、149…走査回路、150…走査信号バス、151…液晶パネル、152…電源回路、153…駆動電圧線、154…電圧線

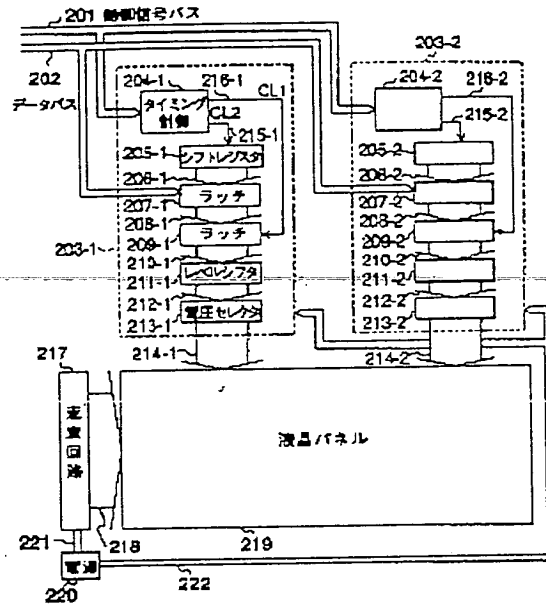
【図1】

本発明の液晶ドライバを用いた液晶ディスプレイの構成図（図1）



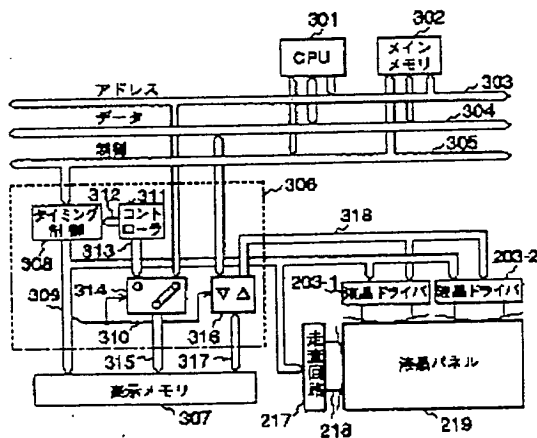
【図2】

従来の液晶ディスプレイ構成図（図2）



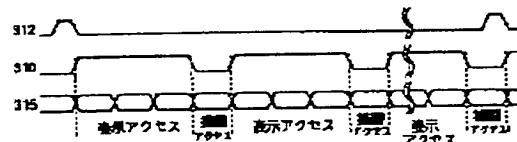
【図3】

図2に記載した液晶ディスプレイを用いたパーソナルコンピュータのシステム構成図（図3）



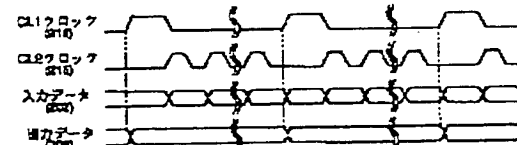
【図4】

表示メモリ307のアクセスを示すタイミング図（図4）



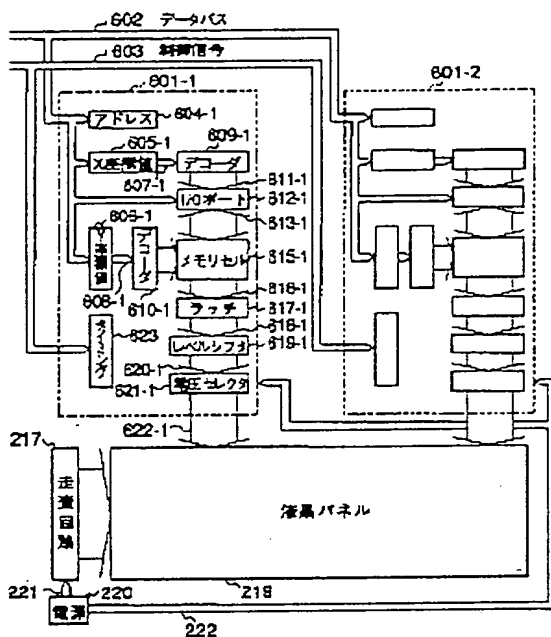
【図5】

液晶ドライバ203の動作を示すタイミング図（図5）



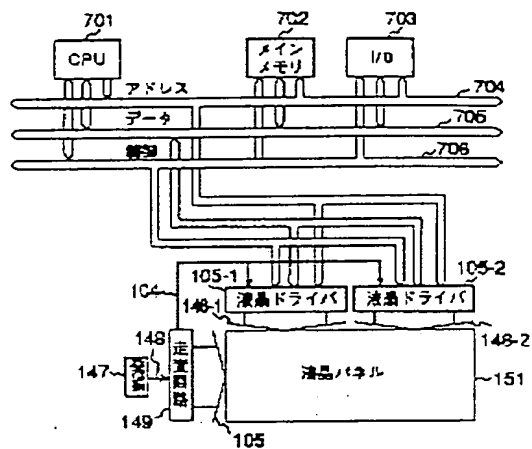
【図6】

従来の表示メモリを内蔵した液晶ドライバ構成図 (図5)



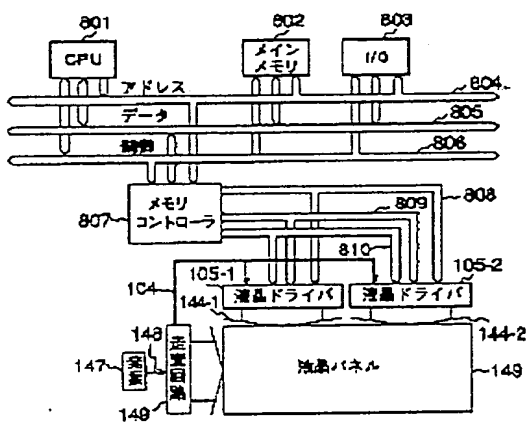
【図7】

図1の実施例の液晶ディスプレイのシステム構成図 (図7)



【図8】

図1の実施例の液晶ディスプレイのシステム構成図 (図8)



【図9】

CPUから見た両面メモリマップと
液晶ドライバから見たメモリマップ (図9)

(a) CPUから見た両面メモリマップ

Y方向	液晶ドライバ	液晶ドライバ
0000H	0000H	0000H
0001H	0001H	0001H
0002H	0002H	0002H
0003H	0003H	0003H
0004H	0004H	0004H
0005H	0005H	0005H
0006H	0006H	0006H
0007H	0007H	0007H
0008H	0008H	0008H
0009H	0009H	0009H
000AH	000AH	000AH
000BH	000BH	000BH
000CH	000CH	000CH
000DH	000DH	000DH
000EH	000EH	000EH
000FH	000FH	000FH

(b) 液晶ドライバから見たメモリマップ

Y方向	液晶ドライバ	液晶ドライバ
0000H	0000H	0000H
0001H	0001H	0001H
0002H	0002H	0002H
0003H	0003H	0003H
0004H	0004H	0004H
0005H	0005H	0005H
0006H	0006H	0006H
0007H	0007H	0007H
0008H	0008H	0008H
0009H	0009H	0009H
000AH	000AH	000AH
000BH	000BH	000BH
000CH	000CH	000CH
000DH	000DH	000DH
000EH	000EH	000EH
000FH	000FH	000FH

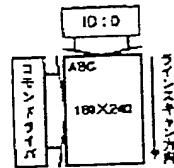
【図10】

液晶ドライバアドレスモード(図10)

MODEA2	MODEA1	MODEA0	ドライバID
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

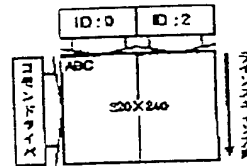
【図11】

液晶ドライバ構成図(図11)



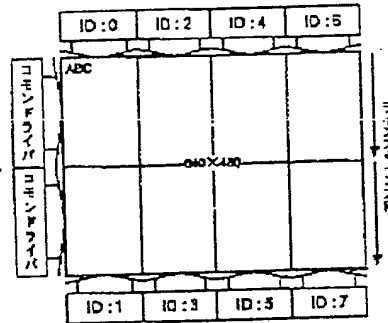
【図12】

液晶ドライバ構成図(図12)



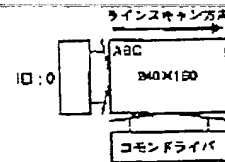
【図14】

液晶ドライバ構成図(図14)



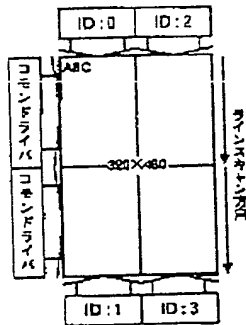
【図28】

液晶ドライバ構成図(図28)



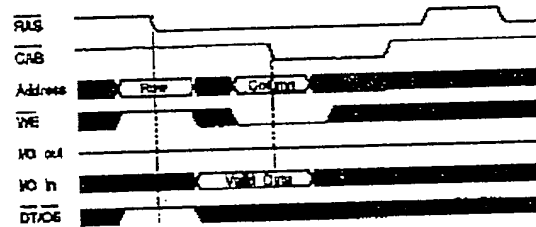
【図13】

液晶ドライバ構成図(図13)



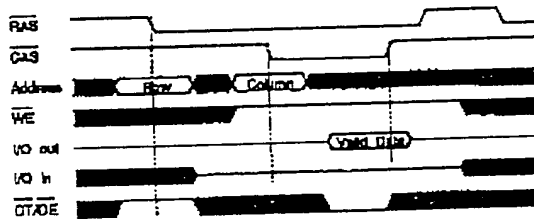
【図16】

メモリアーライトサイクルを示すタイミング図(図16)



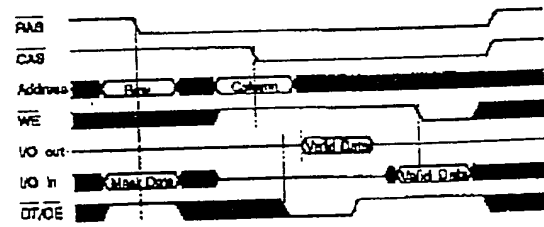
【図15】

メモリーリードサイクルを示すタイミング図(図15)



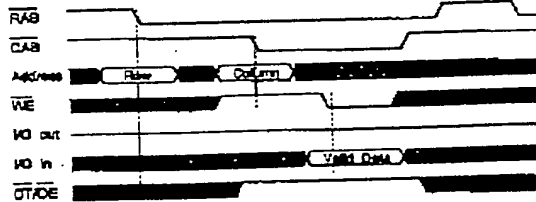
【図18】

メモリーリードモディファイライトサイクルを示すタイミング図(図18)



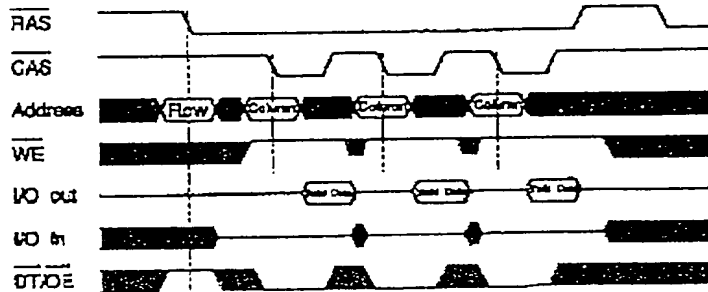
【図17】

メモリーリードライトサイクルを示すタイミング図(図17)



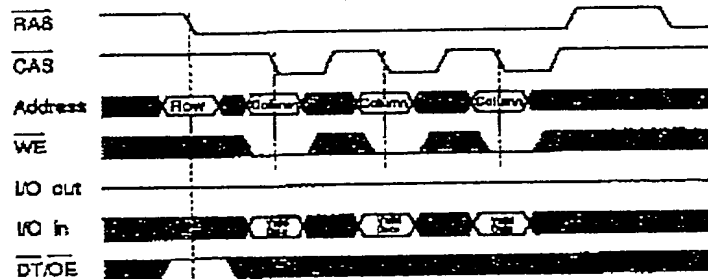
【図19】

メモリページモードリードサイクルを示すタイミング図(図19)



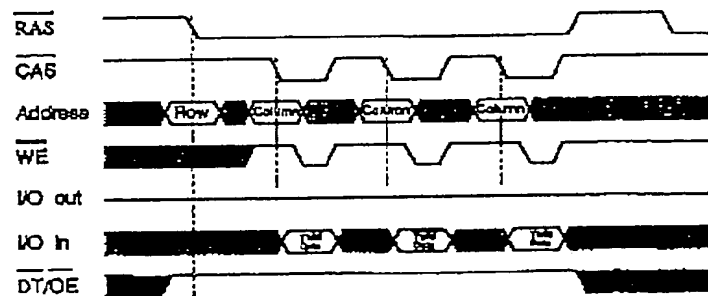
【図20】

メモリページモードアーマライトサイクルを示すタイミング図(図20)



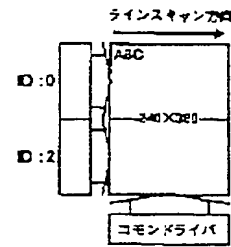
【図21】

メモリページモードディレイドライトサイクルを示すタイミング図(図21)



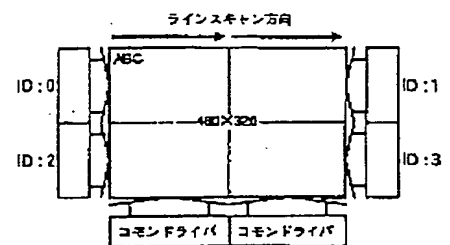
【図29】

液晶ドライバ構成図(図29)



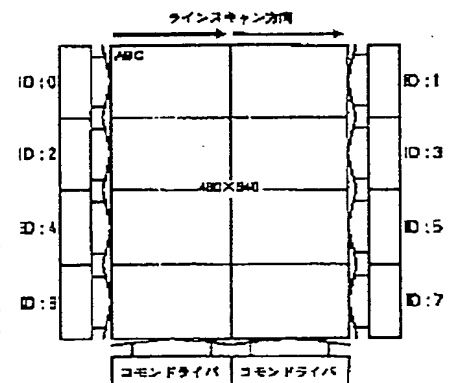
【図30】

液晶ドライバ構成図(図30)

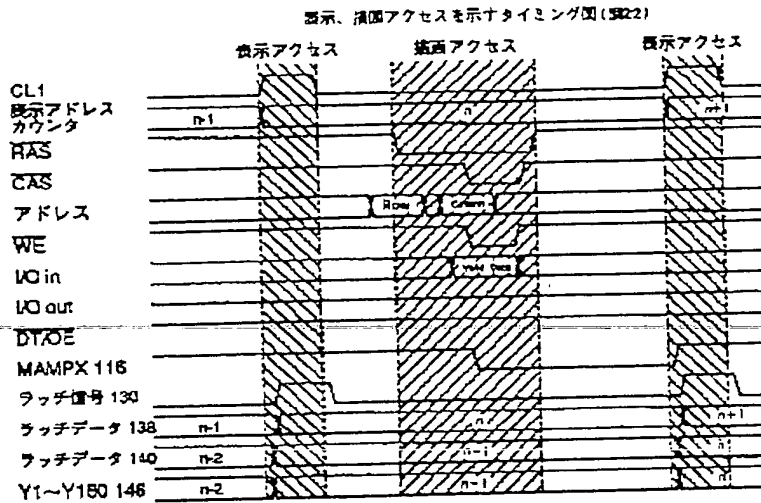


【図31】

液晶ドライバ構成図(図31)

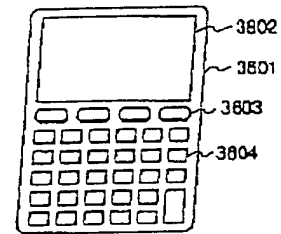


【図22】



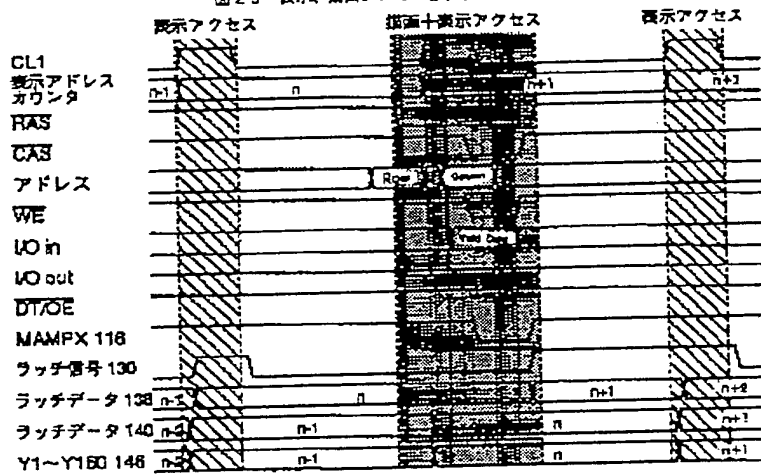
【図36】

演算型情報装置の外観図 (図36)



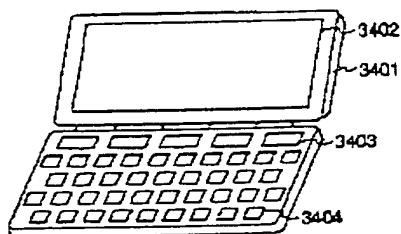
【図23】

図23 表示、演算アクセスを示すタイミング図 (図23)



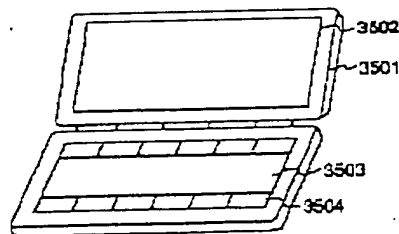
【図34】

演算型情報装置の外観図 (図34)



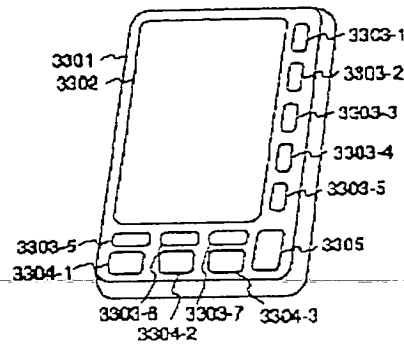
【図35】

演算型情報装置の外観図 (図35)

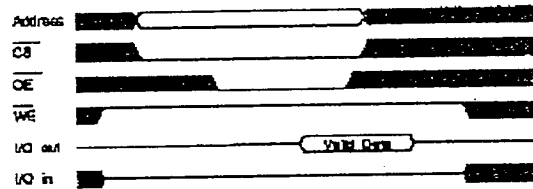


【例33】

読考型情報機器の外観図 (図 3.3)

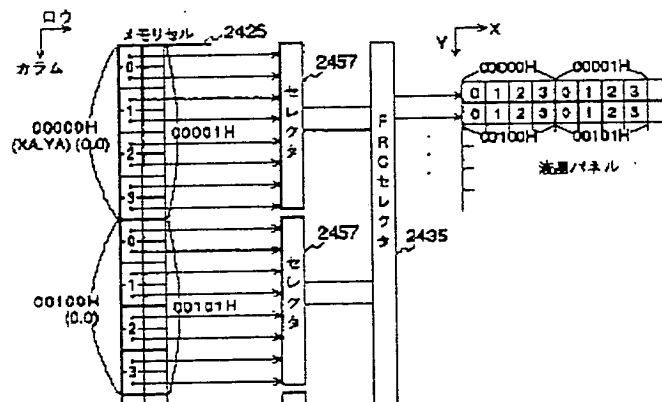


メモリリードサイクルを示すタイミング図(例)



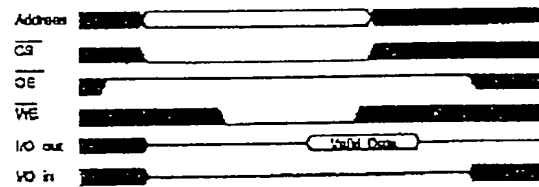
【図38】

Y方向配置の場合のメモリアドレスとビットマップ(図39)



【図40】

メモライトサイクルを示すタイミング図(図40)



フロントページの続き

(72)発明者 池田 牧子
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所システム開発研究所内

(72)発明者 犬塚 達裕
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立画像情報システム内
 (72)発明者 恒川 悟
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内

THIS PAGE BLANK (USPTO)